



特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 5
G01P 15/125

A1

(11) 国際公開番号

WO 93/22690

(43) 国際公開日

1993年11月11日 (11.11.1993)

(21) 国際出願番号

PCT/JP93/00535

添付公開書類

国際調査報告書

(22) 国際出願日

1993年4月23日 (23. 04. 93)

(30) 優先権データ

特願平4/108020

1992年4月27日 (27. 04. 92)

JP

(71) 出願人 (米国を除くすべての指定国について)

日本電装株式会社 (NIPPONDENSO CO., LTD.) (JP/JP)

〒448 愛知県刈谷市昭和町1丁目1番地 Aichi, (JP)

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ)

藤井哲夫 (FUJII, Tetsuo) (JP/JP)

〒448 愛知県刈谷市昭和町1丁目1番地

日本電装株式会社内 Aichi, (JP)

(74) 代理人

弁理士 碓氷裕彦 (USUI, Hirohiko)

〒448 愛知県刈谷市昭和町1丁目1番地

日本電装株式会社内 Aichi, (JP)

(81) 指定国

AT (欧州特許), BE (欧州特許), CH (欧州特許), DE (欧州特許),

DK (欧州特許), ES (欧州特許), FR (欧州特許), GB (欧州特許),

GR (欧州特許), IE (欧州特許), IT (欧州特許), LU (欧州特許),

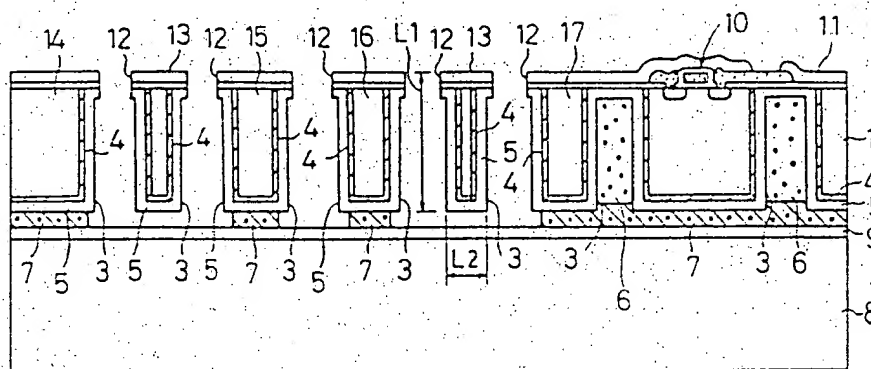
MC (欧州特許), NL (欧州特許), PT (欧州特許), SE (欧州特許),

US.

-RR1

(54) Title : ACCELERATION SENSOR AND ITS MANUFACTURE

(54) 発明の名称 加速度センサ及びその製造方法



(57) Abstract

An acceleration sensor having a novel structure by which acceleration measurement of high precision and reliability can be implemented. A monocrystalline silicon substrate (1) is joined to a monocrystalline silicon substrate (8) through an SiO₂ film (9). The monocrystalline silicon substrate (1) is a thin film. A cantilever (13) is formed on the monocrystalline silicon substrate (1). The thickness of the cantilever (13) in the direction parallel to the surface is smaller than that in the depth direction of the monocrystalline silicon substrate (1). The cantilever is movable in the direction parallel to the surface of the substrate. The surface of the cantilever (13) and the surface of the monocrystalline silicon substrate (1) which faces the cantilever (13) are covered with an SiO₂ film (5) in order to prevent the electrodes of the capacitance type acceleration sensor from being short-circuited. A signal processing circuit (10) is formed on the monocrystalline silicon substrate (1) to process signals produced by the movement of the cantilever (13).

(57) 要約

本発明は新規な構造にて高精度、高信頼性を図ることのできる加速度センサを提供することを、その目的としている。

単結晶シリコン基板（８）上に SiO_2 膜（９）を介して単結晶シリコン基板（１）が接合され、その単結晶シリコン基板（１）は薄膜化されている。単結晶シリコン基板（１）には片持ち梁（１３）が形成され、片持ち梁（１３）における単結晶シリコン基板（１）の深さ方向の厚さに対して、表面に平行な方向の厚さの方が小さくされ、基板の表面に平行な方向において可動となっている。また、片持ち梁（１３）の表面、及び片持ち梁（１３）と対向する単結晶シリコン基板（１）が SiO_2 膜（５）にて被覆され、容量型加速度センサにおける電極ショートが防止されている。さらに、単結晶シリコン基板（１）には信号処理回路（１０）が形成されており、片持ち梁（１３）の動作に伴う信号処理が行われる。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT オーストリア
AU オーストラリア
BB パルバードス
BE ベルギー
BF ブルキナファソ
BG ブルガリア
BJ ベナン
BR ブラジル
CA カナダ
CF 中央アフリカ共和国
CG コンゴ
CH スイス
CI コートジボワール
CM カメルーン
CS チェコスロバキア
CZ チェコ共和国
DE ドイツ
DK デンマーク
FI フィンランド
ES スペイン

FR フランス
GA ガボン
GB イギリス
GN ギニア
GR ギリシャ
HU ハンガリー
IE アイルランド
IT イタリア
JP 日本
KP 朝鮮民主主義人民共和国
KR 大韓民国
KZ カザフスタン
LI リヒテンシュタイン
LK スリランカ
LU ルクセンブルグ
MC モナコ
MG マダガスカル
ML マリ
MN モンゴル
MR モリタニア

MW マラウイ
NL オランダ
NO ノルウェー
NZ ニュージーランド
PL ポーランド
PT ポルトガル
RO ルーマニア
RU ロシア連邦
SD スーダン
SE スウェーデン
SK スロバキア共和国
SN セネガル
SU ソビエト連邦
TD チャド
TG トーゴ
UA ウクライナ
US 米国
VN ヴェトナム

BEST COPY AVAILABLE

明 細 書

加速度センサ及びその製造方法

技術分野

この発明は、加速度センサに係り、詳しくは、自動車のエアバッグシステムやサスペンション制御システム等に好適な半導体式の加速度センサに関するものである。

背景技術

従来、加速度センサは単結晶シリコンのバルクを貫通するようにして、その可動部を作製している。そのため、ウエハの厚さを貫通するだけの寸法が必要であり、小型化が困難であった。又、このセンサをパッケージに組み付けるため、熱膨張係数等の差による応力を緩和するための台座等の緩和物が必要であった。

一方、日経エレクトロニクス 1991. 11. 11 (no. 540) の第223～231頁には、表面マイクロマシーニング技術を用いた加速度センサが示されている。これは、シリコン基板の上に薄膜のポリシリコン膜を積層して、このポリシリコン膜をエッチングすることにより、表面の平行方向に移動可能な梁を形成して差動容量型加速度センサを形成している。しかしながら、ポリシリコンを用いて梁構造を形成した場合、その周辺に信号処理回路を形成しようとする、センサ特性が不安定となってしまう。これは、多結晶、アモルファス体で形成するために、製造ロット毎のバラツキが大きくなってしまうためである。したがって、単結晶シリコンを用いた表面マイクロマシーニング技術により加速度センサを形成するのが、やはり望ましい。

そこで、この発明の目的は、新規な構造にて高精度、高信頼性を図ることが出来る加速度センサを提供することにある。

また、その加速度センサをその工程中、歩留りよく製造することを目的とする。

発明の開示

第1の発明は、第1の単結晶シリコン基板上に絶縁膜を介して接合され、
5 かつ薄膜化された第2の単結晶シリコン基板と、前記第1、第2の少なくとも一方の単結晶シリコン基板に形成され、その表面に平行な方向に可動な梁と、前記第1、第2の少なくとも一方の単結晶シリコン基板に形成され、加速度による前記梁の動作に伴う信号処理を行う信号処理回路とを備えた加速度センサをその要旨とする。

10 また第2の発明は、第1の単結晶シリコン基板の主表面に、梁を形成するための所定深さの溝を形成する第1工程と、前記第1の単結晶シリコン基板の主表面に、多結晶又は非晶質又はそれらの混在したシリコン膜を形成して前記溝を当該シリコン膜にて充填するとともに、そのシリコン膜の表面を平滑化する第2工程と、前記第1の単結晶シリコン基板の主表面と
15 絶縁膜を形成した第2の単結晶シリコン基板とを、当該絶縁膜を介して接合する第3工程と、前記第1の単結晶シリコン基板の裏面側を所定量研磨して第1の単結晶シリコン基板を薄膜化する第4工程と、前記第1、第2の少なくとも一方の単結晶シリコン基板に信号処理回路を形成した後、第1の単結晶シリコン基板の裏面側から前記多結晶又は非晶質又はそれらの
20 混在したシリコン膜をエッチング除去して梁を形成する第5工程とを備えた加速度センサの製造方法をその要旨とする。

さらに第3の発明は、第1の単結晶シリコン基板の主表面と、絶縁膜を形成した第2の単結晶シリコン基板とを、当該絶縁膜を介して接合する第1工程と、前記第1の単結晶シリコン基板の裏面側を所定量研磨して第1
25 の単結晶シリコン基板を薄膜化する第2工程と、前記第1の単結晶シリコン基板の裏面に、梁を形成するための所定深さの溝を形成する第3工程と、前記第1の単結晶シリコン基板の裏面に、多結晶又は非晶質又はそれらの

混在したシリコン膜を形成して前記溝を当該シリコン膜にて充填するとともに、そのシリコン膜の表面を平滑化する第4工程と、前記第1、第2の少なくとも一方の単結晶シリコン基板に信号処理回路を形成した後、第1の単結晶シリコン基板の裏面側から前記多結晶又は非晶質又はそれらの混在したシリコン膜をエッチング除去して梁を形成する第5工程とを備えた加速度センサの製造方法をその要旨とする。

第1の発明は、接合された単結晶シリコン基板の表面に平行な方向に加速度が作用すると、第1あるいは第2の単結晶シリコン基板に形成した梁が動作する。その梁の動作に伴い、第1あるいは第2の単結晶シリコン基板に形成した信号処理回路にて信号処理が行われる。

第2の発明において、第1工程により第1の単結晶シリコン基板の主表面に、梁を形成するための所定深さの溝が形成され、第2工程により第1の単結晶シリコン基板の主表面に多結晶又は非晶質又はそれらの混在したシリコン膜が形成されて溝がシリコン膜にて充填されるとともに、そのシリコン膜の表面が平滑化される。そして、第3工程により第1の単結晶シリコン基板の主表面と絶縁膜を形成した第2の単結晶シリコン基板とが、絶縁膜を介して接合され、第4工程により第1の単結晶シリコン基板の裏面側が所定量研磨されて第1の単結晶シリコン基板が薄膜化される。さらに、第5工程により第1あるいは第2の単結晶シリコン基板に信号処理回路が形成された後、第1の単結晶シリコン基板の裏面側から多結晶又は非晶質又はそれらの混在したシリコン膜がエッチング除去されて梁が形成される。その結果、第1の発明の加速度センサが製造される。

第3の発明において、第1工程により第1の単結晶シリコン基板の主表面と絶縁膜を形成した第2の単結晶シリコン基板とが、絶縁膜を介して接合され、第2工程により第1の単結晶シリコン基板の裏面側が所定量研磨されて第1の単結晶シリコン基板が薄膜化される。そして、第3工程により第1の単結晶シリコン基板の裏面に、梁を形成するための所定深さの溝が形成され、第4工程により第1の単結晶シリコン基板の裏面に多結晶又

は非晶質又はそれらの混在したシリコン膜が形成されて溝がシリコン膜にて充填されるとともに、そのシリコン膜の表面が平滑化される。さらに、第5工程により第1あるいは第2の単結晶シリコン基板に信号処理回路が形成された後、第1の単結晶シリコン基板の裏面側から多結晶又は非晶質又はそれらの混在したシリコン膜がエッチング除去されて梁が形成される。その結果、第1の発明の加速度センサが製造される。

図面の簡単な説明

図1は本発明第1実施例に係る加速度センサの平面図、図2は図1のA-A断面を示す図である。

10 図3乃至図10は、第1実施例の製造工程を説明するために供する図であり、各製造工程中における断面図である。

図11は第1実施例の応用例を示す平面図、図12は図11のB-B断面を示す図である。

15 図13乃至図21は、第2実施例の製造工程を説明するために供する図であり、各製造工程中における断面図である。

図22乃至図28は、第3実施例の製造工程を説明するために供する図であり、各製造工程中における断面図である。

図29乃至図31は、第4実施例の製造工程を説明するために供する図であり、各製造工程中における断面図である。

20 図32乃至図34は、第4実施例を応用した製造工程例を説明するために供する図であり、各製造工程中における断面図である。

図35は本発明に係る加速度センサを用いて構成したセンサチップ例を示す平面図である。

発明を実施するための最良の形態

25 以下、この発明を具体化した実施例を図面に従って説明する。

(第1実施例)

図 1 には本発明第 1 実施例により作成した加速度センサの平面図を示すとともに、図 2 には図 1 の A-A 断面図を示す。なお、本例においてはセンサ部と信号処理回路部とが同一の単結晶シリコン基板を用いて構成されている。

- 5 本加速度センサは容量型加速度センサであり、図 2 に示すように、単結晶シリコン基板 8 上に SiO_2 膜 9 を介して単結晶シリコン基板 1 が接合され、単結晶シリコン基板 1 には同基板 1 を貫通するトレンチ 3 により片持ち梁 13 が形成されている。この片持ち梁 13 は、図 1 に示すように、その先端側が 2 つに分かれた構造をなしている。そして片持ち梁 13 は、
- 10 単結晶シリコン基板 1 の表面に平行な方向（図 1 中、矢印 C 方向）に可動となっている。さらに、単結晶シリコン基板 1 において、信号処理回路 10 がポリシリコン膜 6 及び SiO_2 膜 5 により片持ち梁 13 とは電氣的に絶縁された状態で形成されている。

- 次に、上記構造を製造するに好適な本発明第 1 実施例の製造方法を、図 15 3 乃至図 10 を引用しつつ、説明する。

- まず図 3 に示すように、 $1 \sim 20 \Omega \cdot \text{cm}$ の n 型 (100) 単結晶シリコン基板 1 を用意し、その主表面に熱酸化により $1 \mu\text{m}$ 程度の SiO_2 膜 2 を形成し、フォトリソグラフィー手法により SiO_2 膜 2 を所定のパターンに形成する。このパターンは、シリコン基板 1 の主表面において、少
- 20 なくとも将来可動電極（片持ち梁）となる領域を基板から切り離すようにする溝となる領域を、表面に露出するパターンであり、本実施例では、他に信号処理回路の横方向絶縁分離領域となるシリコン基板主表面をも露出する表面パターンとしている。

- 続いて、単結晶シリコン基板 1 の主表面側において、リアクティブイオンエッチング等により所定の深さ、例えば $0.2 \sim 30 \mu\text{m}$ 程度の垂直の壁を持つトレンチ 3 を形成する。本実施例では、約 $3 \mu\text{m}$ の場合で説明する。

そして、 SiO_2 膜 2 を除去した後、図 4 に示すように、トレンチ 3 の

内壁を含む単結晶シリコン基板 1 の主表面に、リンやヒ素等による n^+ 拡散層 4 を形成し、さらに熱酸化等により $0.1 \sim 1 \mu\text{m}$ の SiO_2 膜 5 を形成する。この時、エッチングのダメージを除去するため、 n^+ 拡散層 4 を形成する前に SiO_2 を熱酸化で形成し除去する、いわゆる犠牲酸化を行ってもよい。

続いて、図 5 に示すように、単結晶シリコン基板 1 の主表面にポリシリコン膜 6 を形成して、トレンチ 3 をポリシリコン膜 6 にて充填する。尚、ポリシリコン膜 6 をバイアス用導電路として使用すべく同ポリシリコン膜 6 に不純物を導入する場合には、ポリシリコン膜 6 を形成する前に薄いポリシリコン層を形成しリン等を高濃度に拡散しておけばポリシリコン膜 6 に不純物を導入することができる。

次に、図 6 に示すように、ポリシリコン膜 6 の表面を鏡面研磨して所定の厚さのポリシリコン膜 6 が残るようにする。続いて、ポリシリコン膜 6 に対しイオン注入等により所定領域にボロンによる p^+ 拡散層 7 を形成する。

一方、図 7 に示すように、もう 1 枚の (100) 単結晶シリコン基板 8 を用意し、その主表面に熱酸化による $0.1 \sim 1.0 \mu\text{m}$ の SiO_2 膜 9 を形成する。

次に、単結晶シリコン基板 1 と単結晶シリコン基板 8 とを、例えば過酸化水素水と硫酸の混合水溶液中に入れ、親水性化処理を行う。そして、乾燥後、図 8 に示すように、単結晶シリコン基板 1 の主表面と単結晶シリコン基板 8 の主表面とを室温中で重ね合わせ、 $400 \sim 1100^\circ\text{C}$ の炉の中に $0.5 \sim 2$ 時間入れ強固な接合を行う。

次に、図 9 に示すように、アルカリ系の水溶液、例えば KOH 溶液等を用いて単結晶シリコン基板 1 の裏面側を選択ポリッシングする。この選択ポリッシングは、 SiO_2 膜 5 が表面に現れるまで行う。その結果、単結晶シリコン基板 1 の厚さが、トレンチ 3 の深さで略決まる厚さ、例えば $3 \mu\text{m}$ 程度となり、薄膜化される。

そして、図10に示すように、単結晶シリコン基板1の所定領域に通常のCMOSプロセス、又はバイポーラプロセス等を用いて信号処理回路（IC回路部）10を形成する。また配線を引き回すための拡散層、アルミ膜等による金属電極膜の形成も行い、センサ部の配線、回路部の配線およびセンサ部と回路部との接続を行う。尚、図1及び図10においては、信号処理回路10の一部としてMOSトランジスタのみを示している。

さらに信号処理回路10の上面にパッシベーション膜11として、例えばプラズマCVD法によるプラズマSiN膜（P-SiN）を形成する。引き続き、センサ部側において、このパッシベーション膜11の所定の領域に窓12を明け、表面よりトレンチ3内に充填されたポリシリコン膜6を露出させる。この窓明けにより片持ち梁あるいは固定電極を形成する単結晶部と、トレンチ内を埋設していた多結晶部とが、表面において区画される。

そして、図2に示すように、TMAH（テトラメチルアンモニウムハイドロオキシド）（ CH_3 ）、NOHの約20%溶液を用いて、単結晶シリコン基板1の裏面側（図2中、上側）からパッシベーション膜11の窓12を通してポリシリコン膜6をエッチング除去する。このとき、パッシベーション膜11（P-SiN）、 SiO_2 膜5、アルミ配線層、 p^+ 拡散層（ p^+ ポリシリコン膜）7は選択的エッチングではほとんどエッチングされない。したがって、下方側の単結晶シリコン基板8との接合は p^+ 拡散層（ p^+ ポリシリコン膜）7にて確保されることになる。

尚、図1における片持ち梁13の幅の広い部分にもトレンチ3を形成しておき、窓12の形成と同時に該トレンチ3と連通するようにエッチング用穴48を設けるようにすれば、ポリシリコン膜6のエッチング除去の際にこのエッチング用穴48を通して、センサの可動部（片持ち梁13）下のポリシリコン膜6をより確実にエッチング除去するようにすることができる。

以上のようにして、片持ち梁13が形成される。このとき、片持ち梁1

3は、図2に示すように、単結晶シリコン基板1の深さ方向の厚さ L_1 に対し単結晶シリコン基板1の表面に平行な方向の厚さ L_2 の方が小さくなっている。

容量型加速度センサにおいては、片持ち梁13の先端部分（2つに分かれた部分）が可動電極となるとともに、図1に示すように、この片持ち梁13の先端部分に対向する単結晶シリコン基板1が固定電極14、15、16、17となる。又、図1に示すように、固定電極14と固定電極16とがアルミ配線層1-8aにて取り出され、固定電極15と固定電極17とがアルミ配線層1-8bにて取り出され、さらに片持ち梁（可動電極）13がアルミ配線層1-8cにて取り出されている。このアルミ配線層1-8a、1-8b、1-8cは信号処理回路10と接続され、この信号処理回路10により加速度による片持ち梁（可動電極）13の変位に伴う信号処理が行われるようになっている。また、片持ち梁13（可動電極）及び固定電極14、15、16、17に配置した n^+ 拡散層4（図2参照）により、電位が一定に保たれる。

尚、本実施例では容量型加速度センサとしたが、片持ち梁13の根元部分の表面にピエゾ抵抗層を形成すればピエゾ抵抗型の加速度センサとすることができる。勿論、この両タイプのセンサを同一基板内に形成すれば、さらにその精度、信頼性を向上させることができる。

このように製造された加速度センサにおいては、単結晶シリコン基板8上に SiO_2 膜を介して単結晶シリコン基板1が接合されてSOI構造となっている。さらに、片持ち梁13においては、単結晶シリコン基板1の深さ方向の厚さ L_1 に対し単結晶シリコン基板1の表面に平行な方向の厚さ L_2 の方が小さい。よって、片持ち梁13が単結晶シリコン基板1の表面において表面に平行な方向に移動可能となり、基板表面に平行な方向への加速度が検出される。

このように本実施例では、単結晶シリコン基板1の主表面に、片持ち梁13を形成するための所定深さのトレンチ（溝）3を形成し（第1工程）、

単結晶シリコン基板 1 の主表面にポリシリコン膜 6 を形成してトレンチ 3 を当該ポリシリコン膜 6 にて充填するとともに、そのポリシリコン膜 6 の表面を平滑化した（第 2 工程）。そして、単結晶シリコン基板 1 の主表面と、 SiO_2 膜（絶縁膜）9 を形成した単結晶シリコン基板 8 とを、 SiO_2 膜 9 を介して接合し（第 3 工程）、単結晶シリコン基板 1 の裏面側を所定量研磨して単結晶シリコン基板 1 を薄膜化した（第 4 工程）。さらに単結晶シリコン基板 1 の表面に信号処理回路 10 を形成した後、単結晶シリコン基板 1 の裏面側からポリシリコン膜 6 をエッチング除去して片持ち梁 13 を形成した（第 5 工程）。

- 10 よって、ウェハプロセスの途中における信号処理回路 10 の形成プロセスでは、ポリシリコン膜 6 により単結晶シリコン基板 1 の表面部分にはトレンチ 3 が埋められており、IC 素子の汚染、製造装置への汚染、それに伴う電気特性の不良や劣化が防止できる。つまり、ウェハプロセスはプロセス途中の熱処理、フォトリソグラフィ処理等においてウェハ表面に凹部や貫通孔等の表面構造が現れないようにすることにより、コンタミネーション等を防止してウェハプロセスの安定化を図り、高精度の加速度センサを安定して供給することができる。

- このように製造された加速度センサは、単結晶シリコン基板 8 上に SiO_2 膜（絶縁膜）9 を介して接合されるとともに薄膜化された単結晶シリコン基板 1 と、該単結晶シリコン基板 1 に形成され、その表面に平行な方向に可動な片持ち梁 13 と、同じく単結晶シリコン基板 1 に形成され、加速度による片持ち梁 13 の動作に伴う信号処理を行う信号処理回路 10 とを備えている。そして、単結晶シリコン基板 1 の表面に平行な方向に加速度が作用すると、単結晶シリコン基板 1 に形成した片持ち梁 13 が動作する。その片持ち梁 13 の動作に伴い単結晶シリコン基板 1 に形成した信号処理回路 10 にて信号処理が行われる。このようにして、単結晶シリコンを用いた表面マイクロマシーニング技術により加速度センサが形成され、新規な構造にて高精度、高信頼性を図ることができることとなる。

又、前記片持ち梁 13 の表面、及び、片持ち梁 13 と対向する単結晶シリコン基板 1 を SiO_2 膜（絶縁体）5 にて被覆したので、容量型加速度センザにおける電極ショートを未然に防止することができる。尚、片持ち梁 13 の表面と、片持ち梁 13 と対向する単結晶シリコン基板 1 とは、少なくとも何れかが SiO_2 膜（絶縁体）5 にて被覆されていればよい。

尚、本実施例の応用として、図 11, 12 に示すように、寄生容量を減らすため片持ち梁 13 を信号処理回路（IC 回路部）10 と切り離し、エアーブリッジ配線としてもよい。又、固定電極 14, 15, 16, 17 も同様な構造にしてもよい。これは、 p^+ 型としたポリシリコン膜 7 の形成位置を、下部基板との接合のために必要な最小限度の位置とすることで実現される。

また、前記実施例ではアルミ配線層を用いたがポリシリコン層により配線部を形成してもよい。さらには、前記実施例では梁の先端に 2 つの可動電極を形成するとともに 4 つの固定電極 14, 15, 16, 17 を形成したが、さらに感度を向上させるために、可動電極部と固定電極部とを櫛歯状にしてもよい。

また、 p^+ ポリシリコン膜 7 の形成に代えて、選択的に酸化膜形成を行うようにしてもよい。

（第 2 実施例）

次に、第 2 実施例の製造方法について、その第 1 実施例との相違点を中心に説明する。なお、以下の実施例では、上記第 1 実施例で説明した図 1, 図 2 に示す構造に準じたセンサを製造する場合を例にとって説明し、図 1 の A-A 断面に相当する断面図を図示することとする。

前記第 1 実施例では片持ち梁 13 を形成するために、この部分を単結晶シリコン基板から一定距離離す目的で p^+ 拡散層（ p^+ ポリシリコン膜）7 を形成したが、本実施例においては、この一定距離離すためにトレンチを形成する前に凹部を形成している。

図 13 ~ 図 21 にはその製造工程を示す。

まず図13に示すように、 n 型(100)単結晶シリコン基板20を用意し、単結晶シリコン基板20の主表面にドライエッチング又はウェットエッチングにより凹部21を所定の深さ、例えば0.1~5 μm の深さで形成する。そして、図14に示すように、単結晶シリコン基板20の主表面に SiO_2 膜22を形成し、上記第1実施例と同様にしてフォトリソグラフィ手法によりパターンを形成する。続いて、凹部21の底部を含む単結晶シリコン基板20の主表面にドライエッチング等により0.1~30 μm 程度(本実施例では3 μm)のトレンチ23を形成する。

そして、図15に示すように、トレンチ23の内壁を含む単結晶シリコン基板20の主表面に、 n^+ 拡散層24を形成するとともに、熱酸化により SiO_2 膜25を形成する。その後、図16に示すように、トレンチ23内にLPCVD法によりポリシリコン膜26を充填する。

引き続き、図17に示すように、 SiO_2 膜25をエッチングストップとしてポリシリコン膜26の表面を研磨し、表面を平滑にする。この時、ポリシリコン膜26と SiO_2 膜25の表面が平滑になることが望ましいが、ポリシリコン膜26の部分がへこみぎみになったとしても SiO_2 膜25の表面が平滑になっていれば続いて行われるウエハ接合において差し支えない。

一方、図18に示すように、もう1枚の(100)単結晶シリコン基板27を用意し、その主表面に熱酸化による0.1~1.0 μm の SiO_2 膜28を形成する。次に、単結晶シリコン基板20、27を、例えば過酸化水素水と硫酸の混合水溶液中に入れ、親水性化処理を行う。そして、乾燥後、両単結晶シリコン基板20、27の主表面を室温中で重ね合わせ、400~1100 $^{\circ}\text{C}$ の炉の中に0.5~2時間入れ強固な接合を行う。

次に、図19に示すように、アルカリ系の水溶液、例えば KOH 溶液等を用いて単結晶シリコン基板20の裏面側を選択ポリッシングする。該選択ポリッシングは、 SiO_2 膜25が表面に現れるまで行う。その結果、単結晶シリコン基板20の厚さが、例えば、3 μm 程度となり、薄膜化さ

れる。

そして、図20に示すように、通常のCMOSプロセス、又はバイポーラプロセス等を通して信号処理回路（IC回路部）10を形成する。さらに、信号処理回路10の上面にパッシベーション膜11として、例えばプラズマCVD法によるプラズマSiN膜（P-SiN膜）を形成する。引き続き、このパッシベーション膜11の所定の領域に窓12を明け、センサ部においてポリシリコン膜26を表面に露出させる。

そして、図21に示すように、TMAH（テトラメチルアンモニウムハイドロオキシド）（ CH_3 ）、 NOH の約20%溶液を用いて、単結晶シリコン基板20の裏面側からパッシベーション膜11の窓12を通してポリシリコン膜26をエッチング除去する。このとき、パッシベーション膜11（P-SiN）、 SiO_2 膜25、アルミ配線層は選択的エッチングではほとんどエッチングされない。

その結果、片持ち梁13が形成される。

15 本実施例によっても上記第1実施例と同様の効果を得ることができる。
（第3実施例）

次に、第3実施例の製造方法について、その第1実施例との相違点を中心に説明する。

前記第1、第2実施例においてはウエハ接合の前にトレンチ内にポリシリコンを埋め込んだが、本実施例ではウエハ接合後トレンチ内にポリシリコンを埋め込み、最終工程でこの埋め込んだポリシリコンを除去し、加速度センサを作製するようにしている。

図22～図28には、製造工程を示す。

まず図22に示すように、n型（100）単結晶シリコン基板30を用意し、その可動電極形成予定位置に対応して、上記第2実施例と同様、その主表面に深さ0.1～5 μm の凹部31を形成する。一方、図23に示すように、単結晶シリコン基板32を用意し、その主表面に熱酸化による SiO_2 膜33を形成する。そして、単結晶シリコン基板30の主表面と

単結晶シリコン基板 32 の主表面とを接合する。

さらに、図 24 に示すように、単結晶シリコン基板 30 の裏面側を所定の厚さ（0.1～30 μm ）になるまで鏡面研磨する。そして、図 25 に示すように、 SiO_2 膜 34 を 0.1～2 μm 形成し、続いて SiO_2 膜 34 をパターニングして、エッチングによりトレンチ 35 を形成する。これにより、片持ち梁 13、及び処理回路部の横方向絶縁分離領域が形成される。

次に、熱拡散法等により、ヒ素やリンの N 型不純物を高濃度に導入し、 SiO_2 膜 33、34 で覆われていないシリコン領域に n^+ 高濃度層 36 を形成する。

続いて、図 26 に示すように、トレンチ 35 内の側壁等に熱酸化膜を形成した後に、単結晶シリコン基板 30 の表面にポリシリコン膜 37 を形成してトレンチ 35 をポリシリコン膜 37 で充填する。その後、図 27 に示すように、ポリシリコン膜 37 の表面を選択研磨して SiO_2 膜 34 が表面に現れるまで平坦化する。さらに、図 28 に示すように、信号処理回路 10 を形成した後、最後に単結晶シリコン基板 30 の裏面側（上面側）からポリシリコン膜 37 をエッチング除去して片持ち梁 13 を再び基板より可動状態に分離する。

このように本第 3 実施例では、単結晶シリコン基板 30 の主表面と、 SiO_2 膜（絶縁膜）33 を形成した単結晶シリコン基板 32 とを、該 SiO_2 膜 33 を介して接合し（第 1 工程）、単結晶シリコン基板 30 の裏面側を所定量研磨して単結晶シリコン基板 30 を薄膜化する（第 2 工程）。そして、単結晶シリコン基板 30 の裏面に、片持ち梁 13 を形成するための所定深さのトレンチ（溝）35 を形成し（第 3 工程）、単結晶シリコン基板 30 の裏面にポリシリコン膜 37 を形成してトレンチ 35 をポリシリコン膜 37 にて充填するとともに、そのポリシリコン膜 37 の表面を平滑化する（第 4 工程）。さらに、単結晶シリコン基板 30 に信号処理回路を形成した後、単結晶シリコン基板 30 の裏面側からポリシリコン膜 37 を

エッチング除去して片持ち梁13を形成した(第5工程)。

- よって、ウエハプロセスの途中における信号処理回路10の形成プロセスでは、ポリシリコン膜37により単結晶シリコン基板30の上面部分にはトレンチ35が埋められており、IC素子の汚染、製造装置への汚染、それに伴う電気特性の不良や劣化が防止できる。つまり、ウエハプロセスはプロセス途中の熱処理、フォトリソグラフィ処理等においてウエハ表面に凹部や貫通孔等の表面構造が現れないようにすることにより、コンタミネーション等を防止してウエハプロセスの安定化を図り、高精度の加速度センサを安定して供給することができる。

10 (第4実施例)

次に、第4実施例の製造方法について、第3実施例との相違点を中心に説明する。

本実施例は前記第3実施例に比較してより安価にセンサを製造するためのものである。

- 15 図29～図31には、製造工程を示す。

まず図29に示すように、単結晶シリコン基板40の主表面に0.1～2 μ mのSiO₂膜41を形成するとともに、このSiO₂膜41を挟んで単結晶シリコン基板42を接合する。そして、図30に示すように、単結晶シリコン基板42の上面を研磨して単結晶シリコン基板42を所定の厚さにする。つまり、単結晶シリコン基板42の厚さを、例えば3 μ m程度に薄膜化する。その後、単結晶シリコン基板42の上面に高濃度n⁺拡散層43を形成し、さらに、その上にSiO₂膜44を形成する。この高濃度n⁺拡散層43は、将来可動電極、固定電極となるセンサ部に対応して形成するようにすればよい。

- 25 続いて、図31に示すように、第3実施例と同様にSiO₂膜44にパターニングを施し、単結晶シリコン基板42にトレンチ45を形成する。そして、フッ酸溶液によりこのトレンチ45より下層にあるSiO₂膜41を部分的にエッチング除去する。この時、片持ち梁13となる部分の下

部の SiO_2 膜41は完全に除去され、固定電極及び信号処理回路部となる部分の下部の SiO_2 膜41は残存される。これは、片持ち梁13となる部分の下部は他方に比べて幅狭に設定されているためである。またこの際、トレンチ形成により高濃度 n^+ 拡散層43は、片持ち梁13、固定電極各々に分離される。

その後、図26～図28と同工程を経て、容量式加速度センサが製造される。

次に、この第4実施例の応用例を図32～図34を用いて説明する。

まず図32に示すように、単結晶シリコン基板40の主表面に0.1～
10 $2\mu\text{m}$ の SiO_2 膜41を形成するとともに、単結晶シリコン基板42の主表面の片持ち梁形成予定領域に深さが0.1～ $3\mu\text{m}$ の凹部47を形成する。そして、 SiO_2 膜41を挟んで単結晶シリコン基板42の主表面を接合する。さらに、図33に示すように、単結晶シリコン基板42の上面を研磨して単結晶シリコン基板42を所定の厚さにする。つまり、単結
15 晶シリコン基板42の厚さを、例えば $3\mu\text{m}$ 程度に薄膜化する。その後、単結晶シリコン基板42の上面に、上記高濃度 n^+ 拡散層43を形成し、さらに、その上に SiO_2 膜44を形成する。

続いて、図34に示すように、単結晶シリコン基板42に対し凹部47に至るトレンチ45を形成し、片持ち梁13を形成する。

20 その後、図26～図28と同様の工程を経て、容量式加速度センサが製造される。

このようにすることにより、図31のように SiO_2 膜41を部分的にエッチング除去する場合に比べ、より確実に電氣的絶縁をとることができることとなる。また機械的強度も向上できる。

25 尚、この発明は上記各実施例に限定されるものではなく、例えば、片持ち梁構造の他にも、両持ち梁構造や多数持ち梁構造に対して適用可能である。

又、図35に示すように、単結晶シリコン基板50に対し2つの加速

センサ13a, 13bを形成し、加速度センサ13aによりX方向を、加速度センサ13bによりY方向の加速度を検出するようにしてもよい。さらに、このX, Y方向加速度センサ13a, 13bに対し表面垂直方向に対して加速度を検出可能な加速度センサを同一基板に形成し、三次元方向の加速度を検知するようにしてもよい。さらに、容量型として本加速度センサを用いる場合は、いわゆるサーボ型（閉ループ回路構成）にすることにより、より特性の安定化を図ることができる。

また、上記各実施例では、ポリシリコン膜6, 26, 37にてトレンチ（溝）3, 23, 35を充填したが、多結晶又は非晶質又はそれらの混在したシリコン膜を用いてもよい。つまり、ポリシリコン又はアモルファスシリコン又はポリシリコンとアモルファスシリコンの混在したシリコン膜を用いてもよい。

また上記各実施例では、上側となる単結晶シリコン基板にセンサ部、信号処理部を形成するようにしていたが、これに限らず、台となる単結晶シリコン基板も利用して、下側の基板側にセンサ部あるいは信号処理部を形成するようにしてもよい。

以上詳述したようにこの発明によれば、新規な構造にて高精度、高信頼性を図ることができる。また、信号処理回路を同一チップ上に設ける場合には、その製造時に何ら空洞部、溝部が存在しないため、安定して工程を流すことが可能である。さらに可動梁を基板より可動状態にするのは最後の工程であり、台座となる下側基板との接合時あるいは回路形成時等に、微細な梁が破壊されるのは防止でき、その歩留りは高いものとすることができる。また、基本的に本加速度センサの形状を決定するのは単結晶シリコンのマイクロマシーニングによるものであり、精度良い製造が可能である。

産業上の利用可能性

以上のように、本発明は微細可動部を有する半導体加速度センサを製造

するのに有用であり、自動車のエアバッグシステムやサスペンション制御システム等に用いる加速度センサとして好適である。また、多軸方向の加速度を検出する容量式加速度センサに適用できる。

請求の範囲

1. 第1の単結晶シリコン基板上に絶縁膜を介して接合され、かつ薄膜化された第2の単結晶シリコン基板と、

前記第1、第2の少なくとも一方の単結晶シリコン基板にて形成され、
5 その表面に平行な方向に可動な梁と、

前記第1、第2の少なくとも一方の単結晶シリコン基板に形成され、加速度による前記梁の動作に伴う信号処理を行う信号処理回路と
を備えたことを特徴とする加速度センサ。

2. 前記梁は、前記単結晶シリコン基板の深さ方向の厚さに対し前記単結晶シリコン基板の表面に平行な方向の厚さの方が小さいものである請求
10 の範囲第1項に記載の加速度センサ。

3. 前記梁の表面、又は、梁と対向する第2の単結晶シリコン基板の少なくともいずれかは、絶縁体で被覆されているものである請求の範囲第1項に記載の加速度センサ。

15 4. 第1の単結晶シリコン基板の主表面に、形成予定とされる可動梁の周囲領域において所定深さの溝を形成する第1工程と、

前記第1の単結晶シリコン基板の主表面に、多結晶、非晶質又はそれらの混在したシリコン膜を堆積して前記溝を当該シリコン膜にて充填するとともに、そのシリコン膜の表面を平滑化する第2工程と、

20 前記第1の単結晶シリコン基板の主表面と第2の単結晶シリコン基板とを、絶縁膜を介して接合する第3工程と、

前記第1の単結晶シリコン基板の前記第2の単結晶シリコン基板との接合面と反対側の面を所定量研磨して第1の単結晶シリコン基板を薄膜化する第4工程と、

25 前記第1の単結晶シリコン基板の前記研磨面側において、前記溝の形成位置に対応して前記溝内に充填した前記多結晶、非晶質又はそれらの混在したシリコン膜を露出し、当該露出領域より該シリコン膜をエッチング除

去して梁を可動状態とする第5工程と

を備えることを特徴とする加速度センサの製造方法。

5 5. 上記第1工程において、上記所定深さは上記梁の縦方向における幅に応じて設定されている請求の範囲第4項に記載の加速度センサの製造方法。

6. 上記第3工程において、上記絶縁膜は前記第2の単結晶シリコン基板の表面に形成されている請求の範囲第4項に記載の加速度センサの製造方法。

10 7. 上記第2工程において、上記第1の単結晶シリコン基板の主表面には平滑化された上記シリコン膜が残存している請求の範囲第4項に記載の加速度センサの製造方法。

15 8. 上記第3工程に先立ち、上記形成予定とされる可動梁の周囲領域に位置する前記シリコン膜を除く、前記第1の単結晶シリコン基板の主表面に残存する当該シリコン膜を、上記第5工程におけるエッチングに対して耐エッチング性とする工程を付加した請求の範囲第7項に記載の加速度センサの製造方法。

9. 上記第1工程は、上記可動梁の形成予定とされる位置において、前記第1の単結晶シリコン基板の主表面に凹部を形成する工程をさらに含む請求の範囲第4項に記載の加速度センサの製造方法。

20 10. 上記第5工程に先立ち、上記第1或いは第2の単結晶シリコン基板に、半導体素子を形成する工程を付加した請求の範囲第4項に記載の加速度センサの製造方法。

11. 第1の単結晶シリコン基板の主表面と、第2の単結晶シリコン基板とを、絶縁膜を介して接合する第1工程と、

25 前記第1の単結晶シリコン基板の前記第2の単結晶シリコン基板との接合面と反対側の面を所定量研磨して第1の単結晶シリコン基板を薄膜化する第2工程と、

前記第1の単結晶シリコン基板の前記研磨面側より、形成予定とされる

可動梁の周囲領域において前記絶縁膜に至る溝を形成する第3工程と、

前記第1の単結晶シリコン基板の前記研磨面側より、多結晶、非晶質又はそれらの混在したシリコン膜を堆積して前記溝を当該シリコン膜にて充填するとともに、そのシリコン膜の表面を平滑化する第4工程と、

- 5 前記第1あるいは第2の単結晶シリコン基板に半導体素子を形成した後に、前記第1の単結晶シリコン基板の前記研磨面側より前記シリコン膜をエッチング除去し、梁を可動状態とする第5工程と

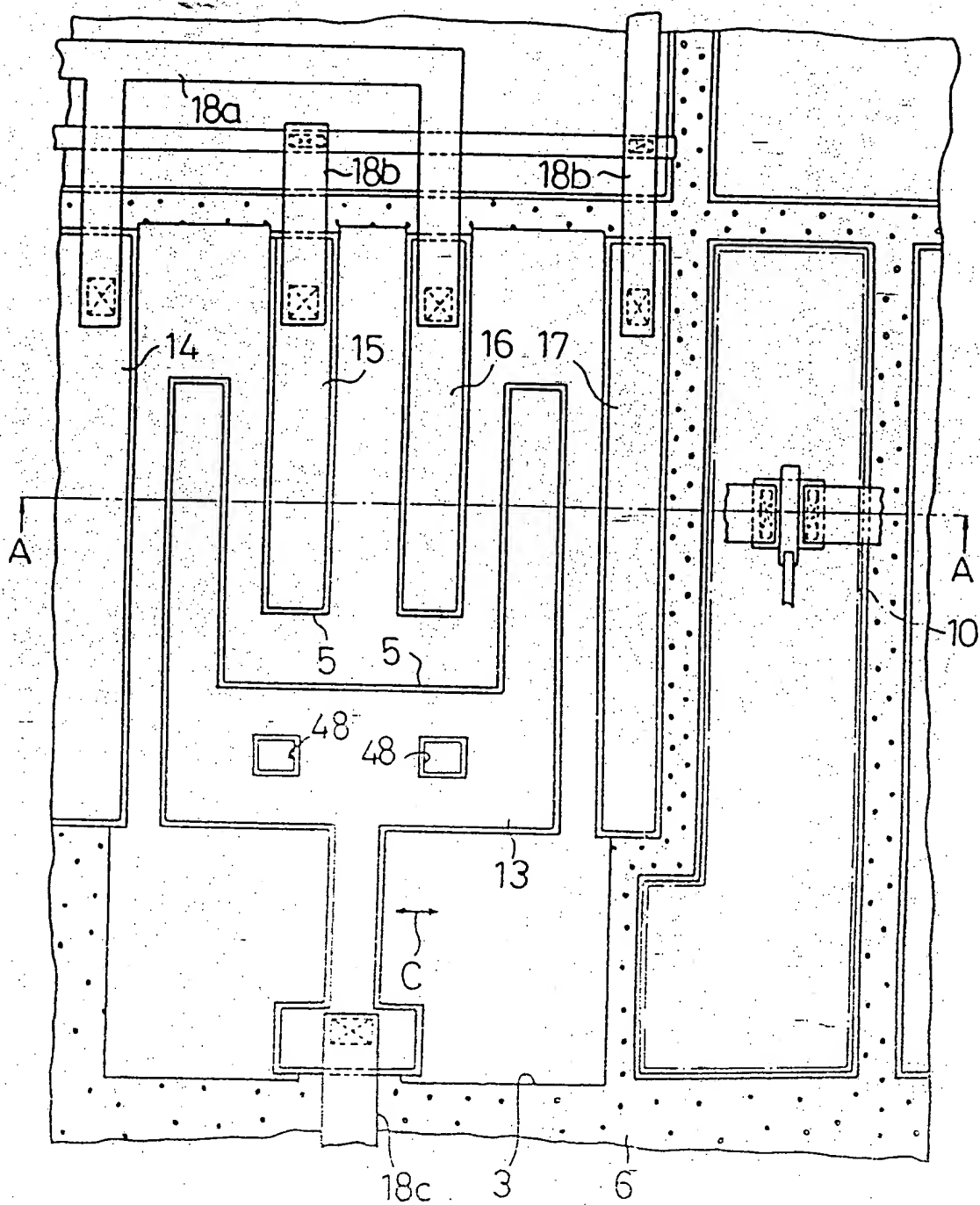
を備えることを特徴とする加速度センサの製造方法。

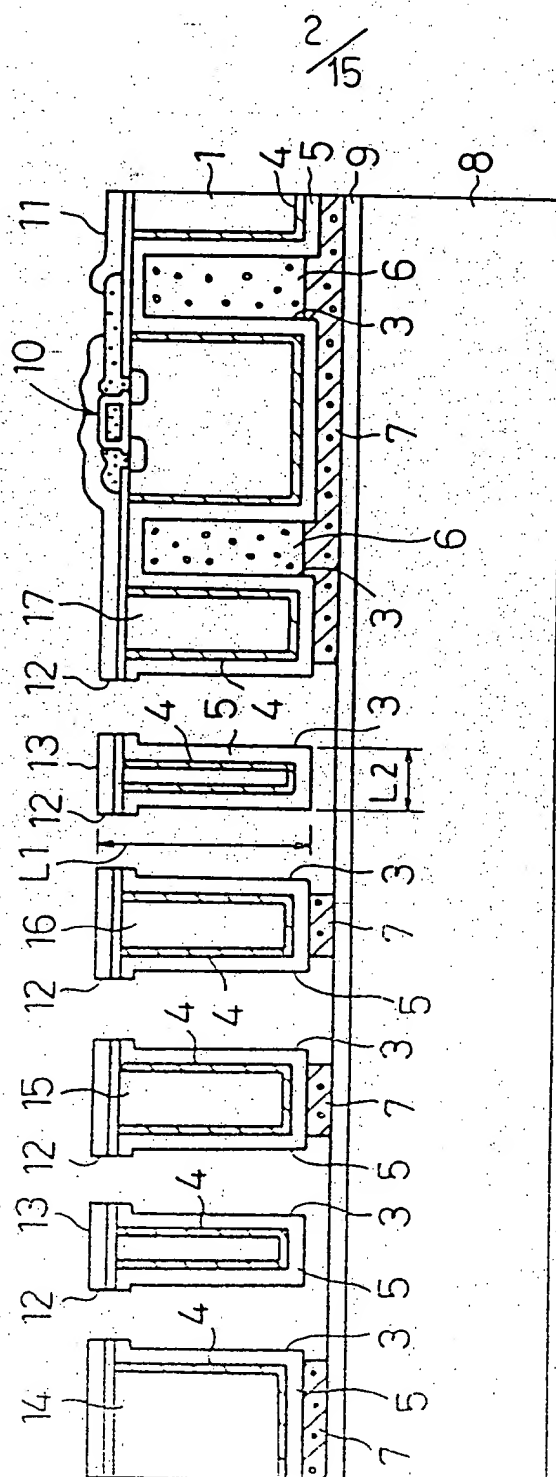
- 1.2. 上記第1工程において、上記絶縁膜は前記第2の単結晶シリコン
10 基板の表面に形成されている請求の範囲第11項に記載の加速度センサの製造方法。

1.3. 上記第5工程は、上記梁形成位置に相当する前記絶縁膜を除去する工程を含む請求の範囲第11項に記載の加速度センサの製造方法。

- 1.4. 上記第1工程は上記接合に先立ち、上記第1の単結晶シリコン基
15 板の主表面の上記梁形成位置に相当する領域に凹部を形成する工程を含む請求の範囲第11項に記載の加速度センサの製造方法。

1/15





3
15

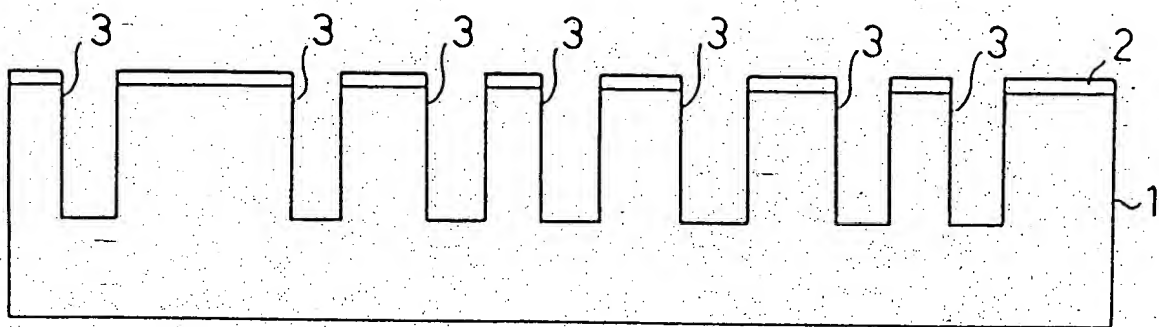


図 3

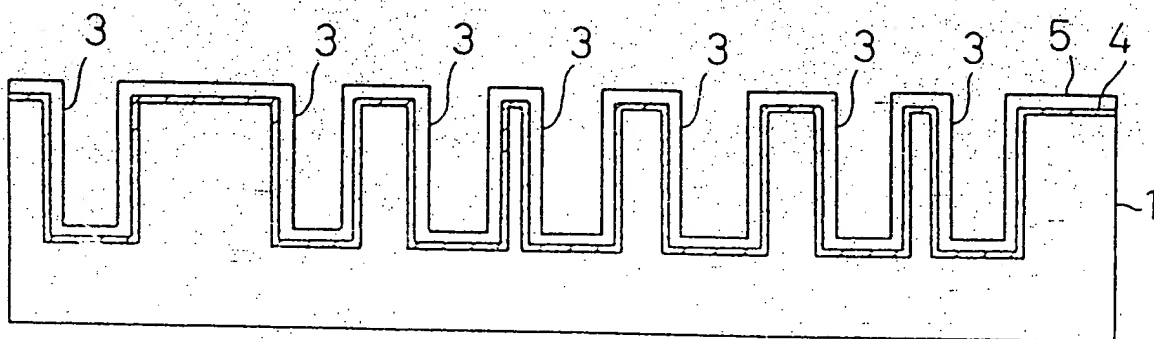


図 4

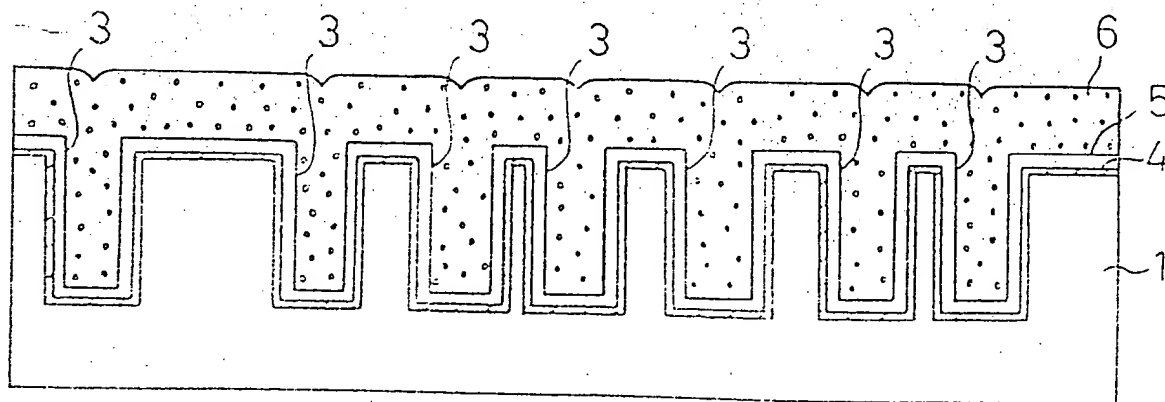


図 5

4/15

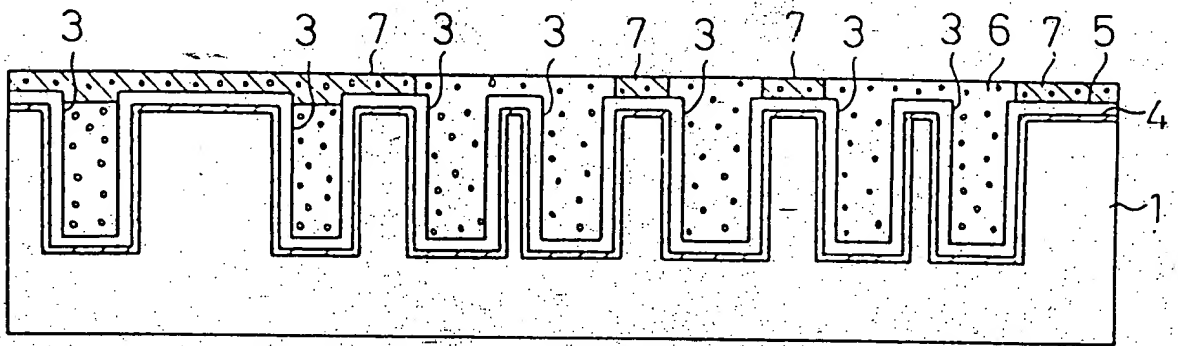


図 6

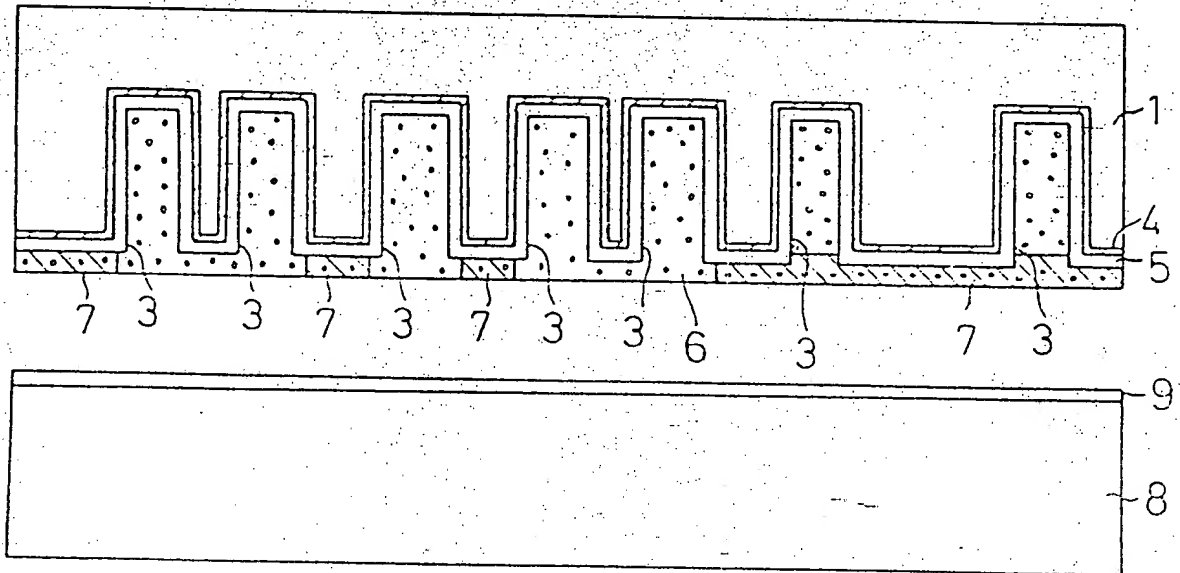


図 7

5/15

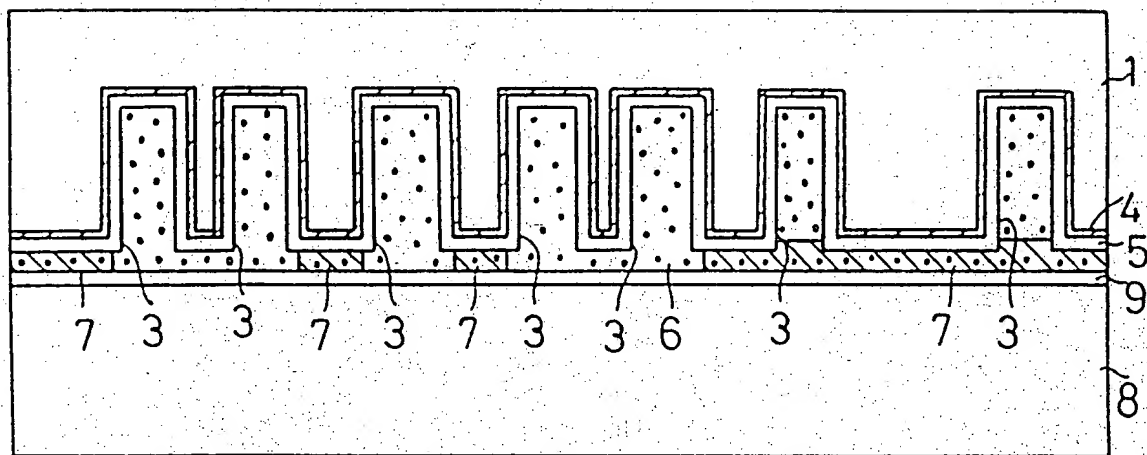


図 8

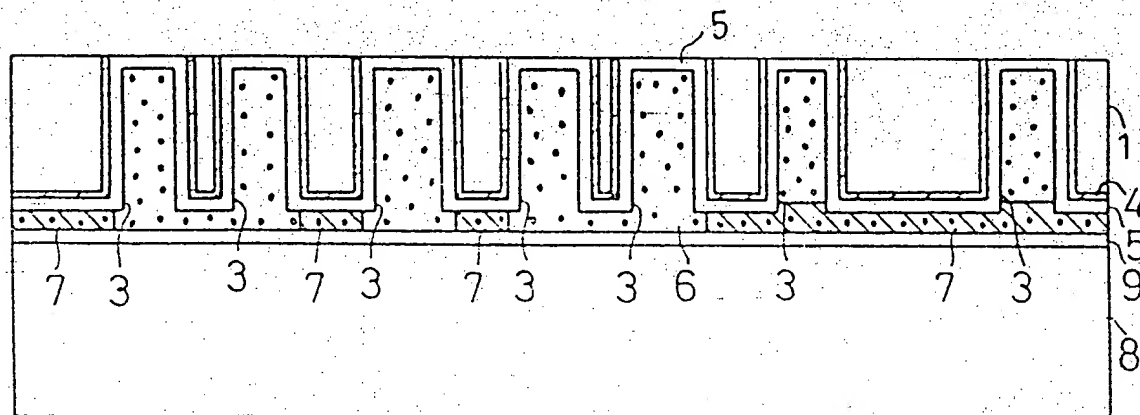


図 9

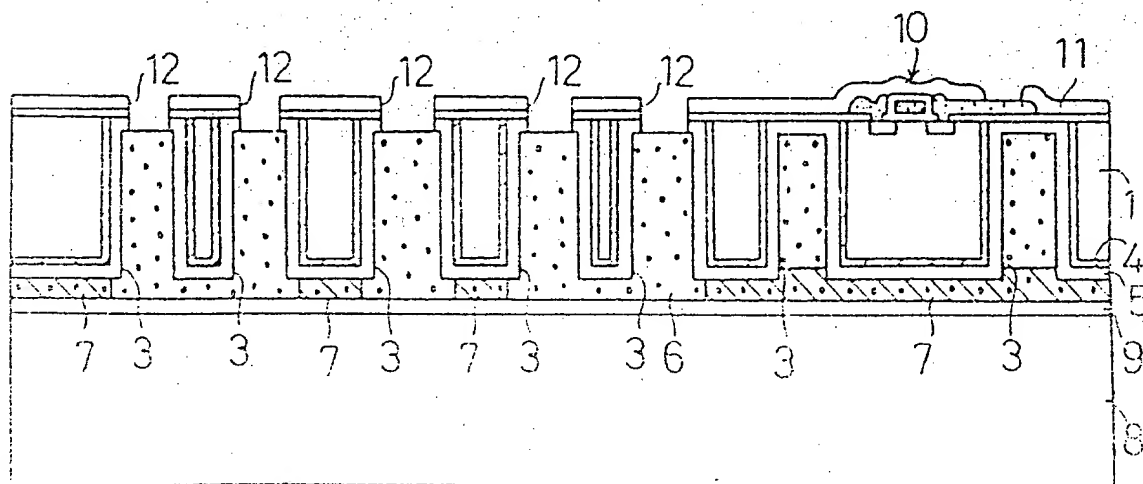


図 10

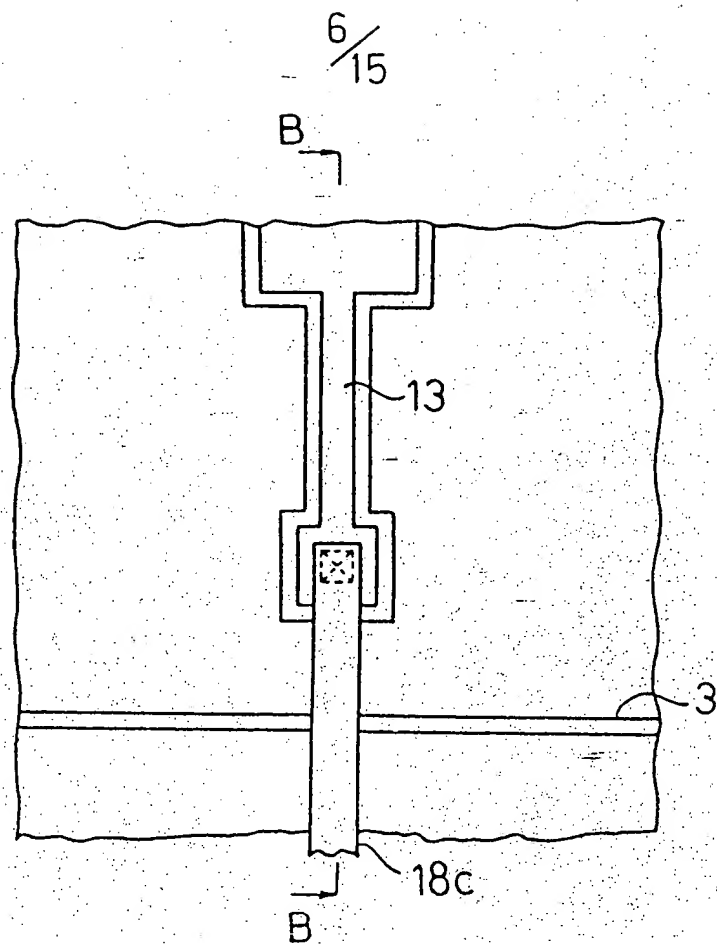


図 11

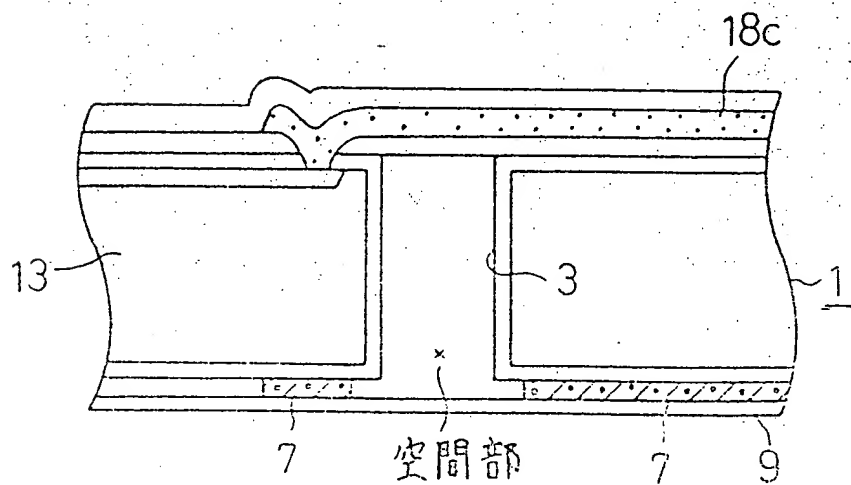


図 12

7/15

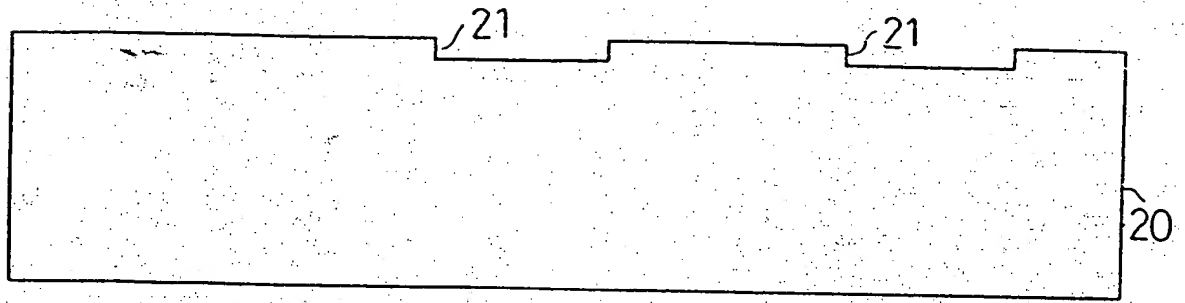


图 13

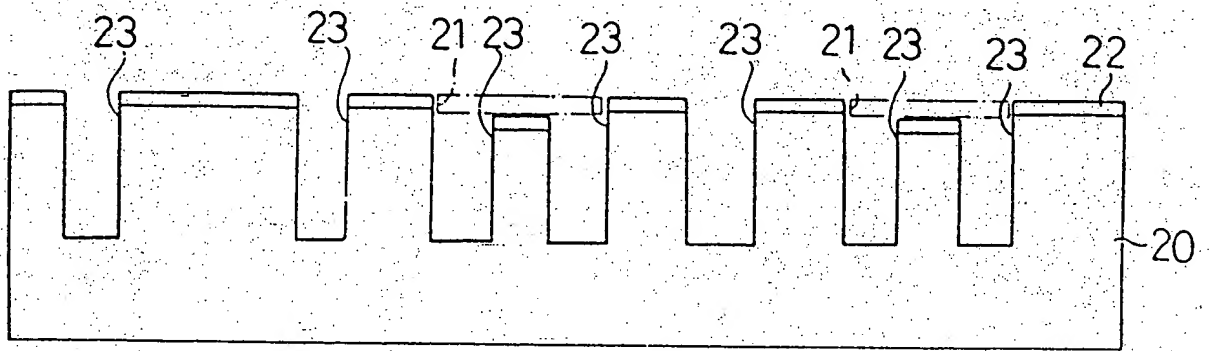


图 14

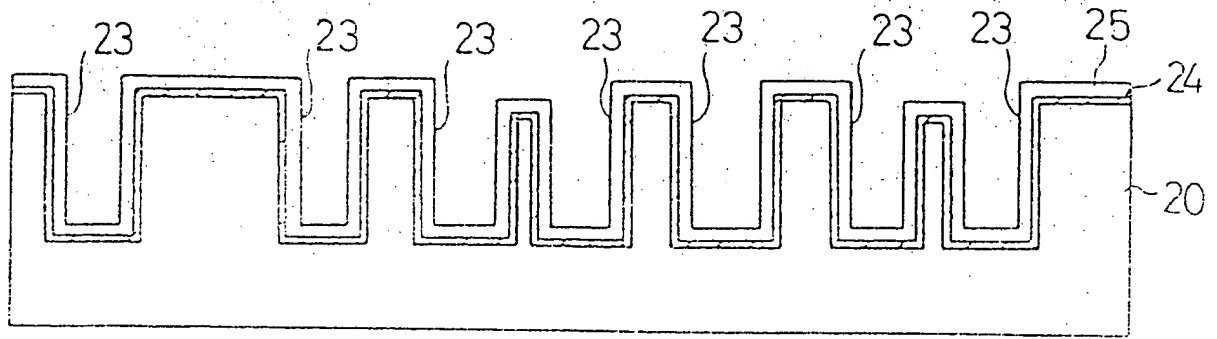


图 15

8/15

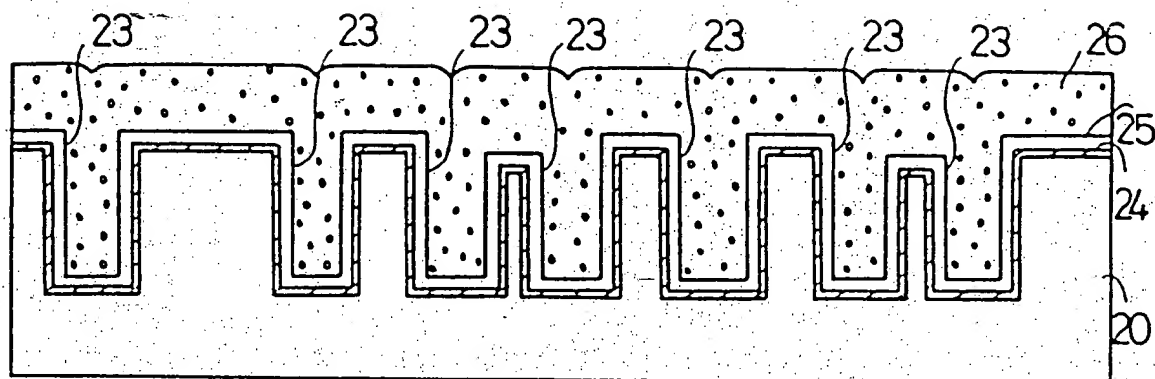


図 16

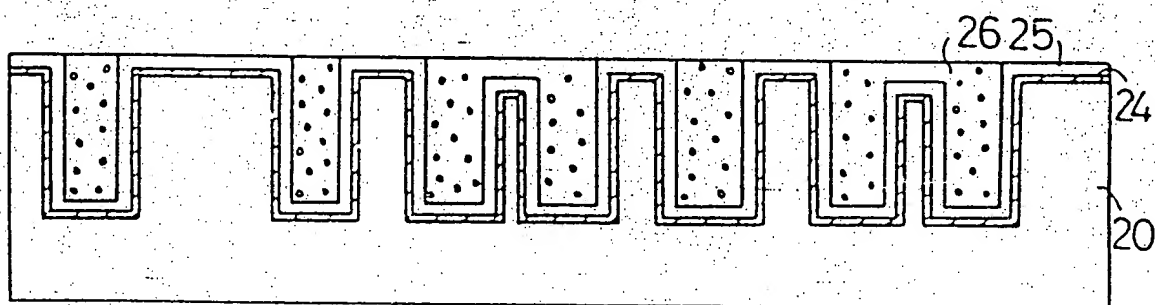


図 17

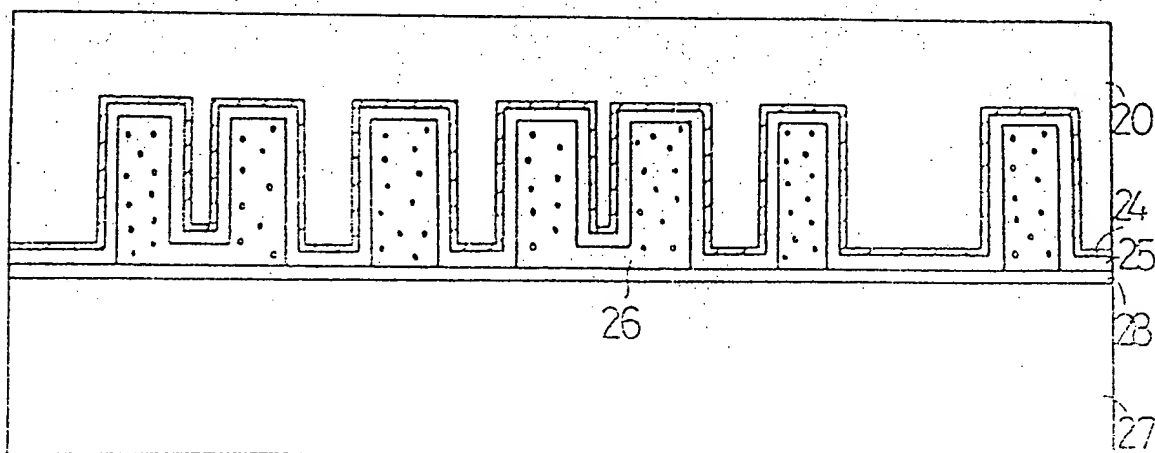


図 18

9/15

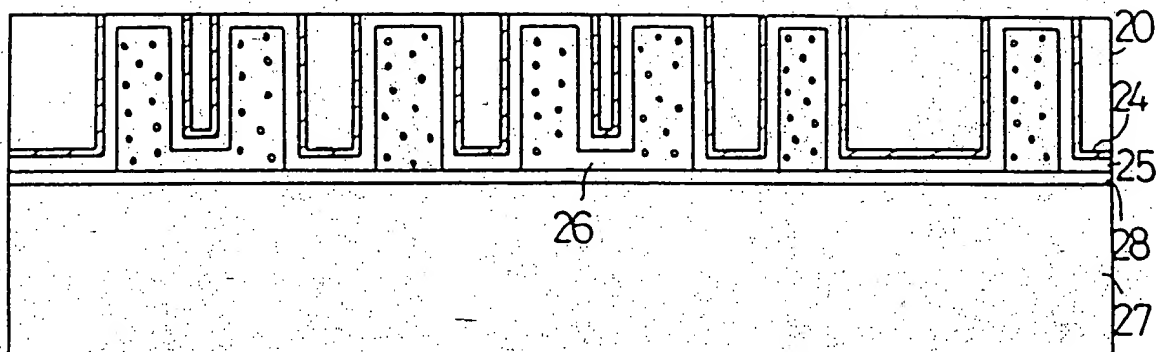


図 19

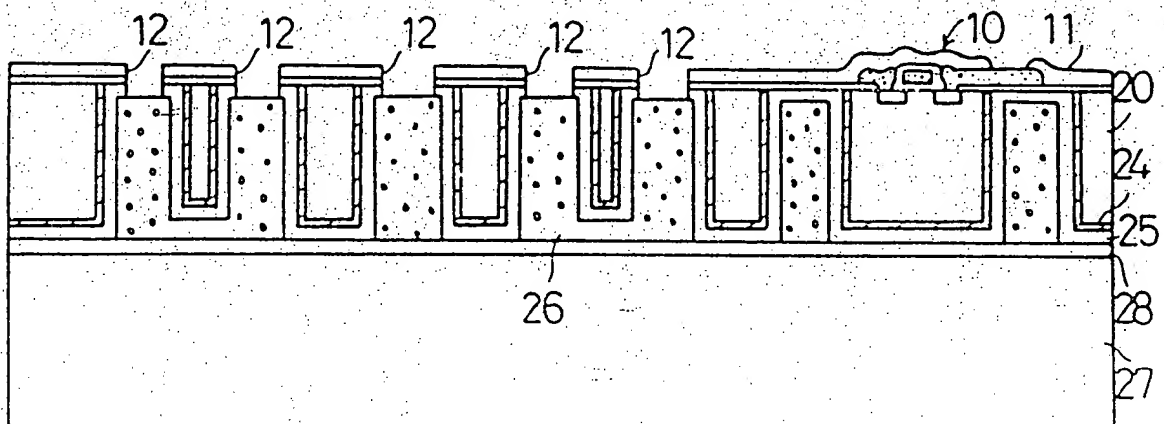


図 20

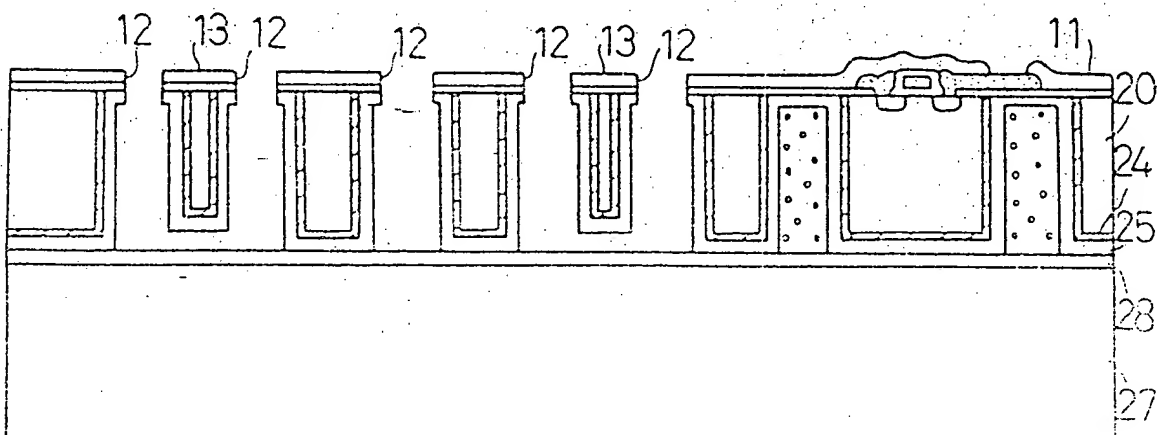


図 21

10/15

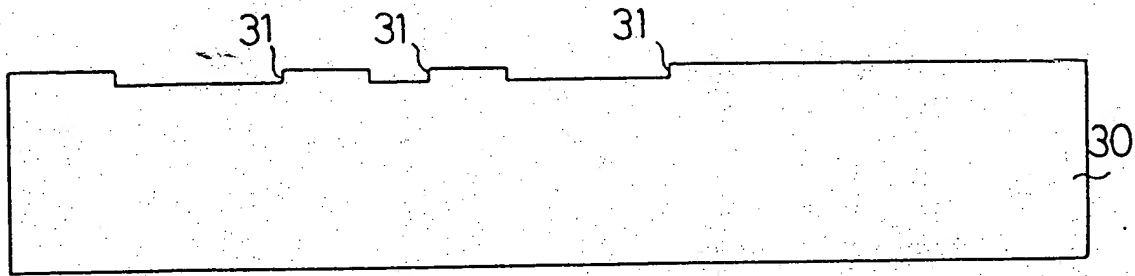


図 22

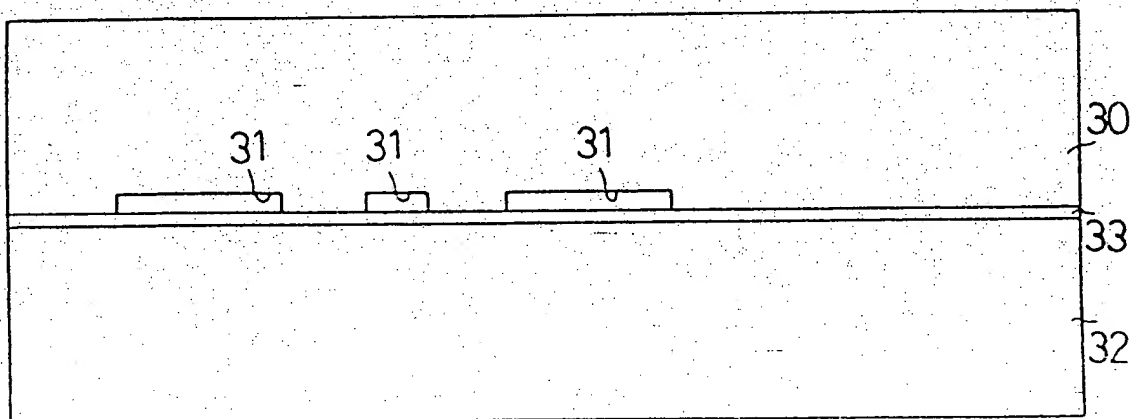


図 23

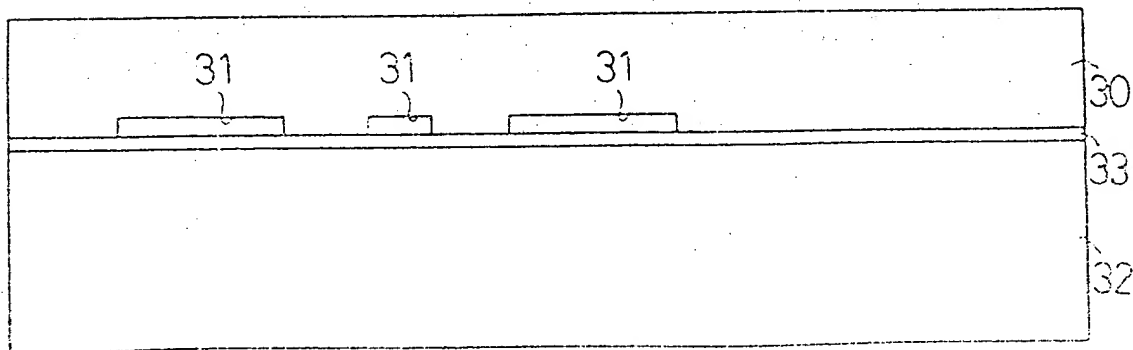


図 24

11/15

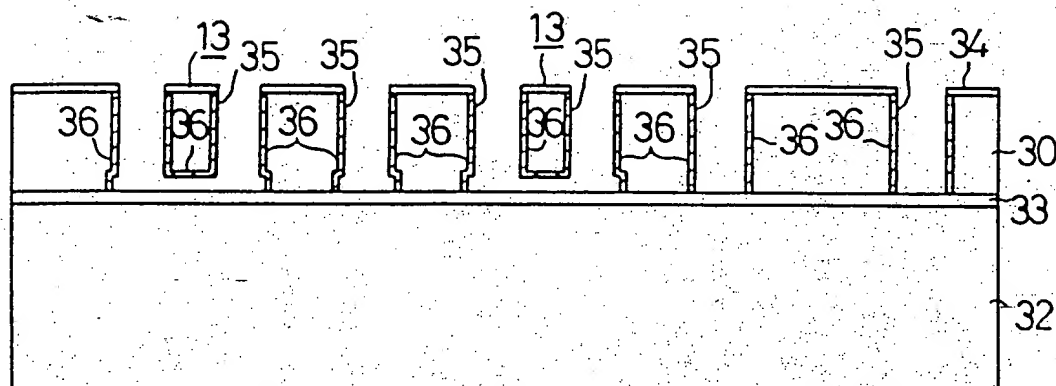


図 25

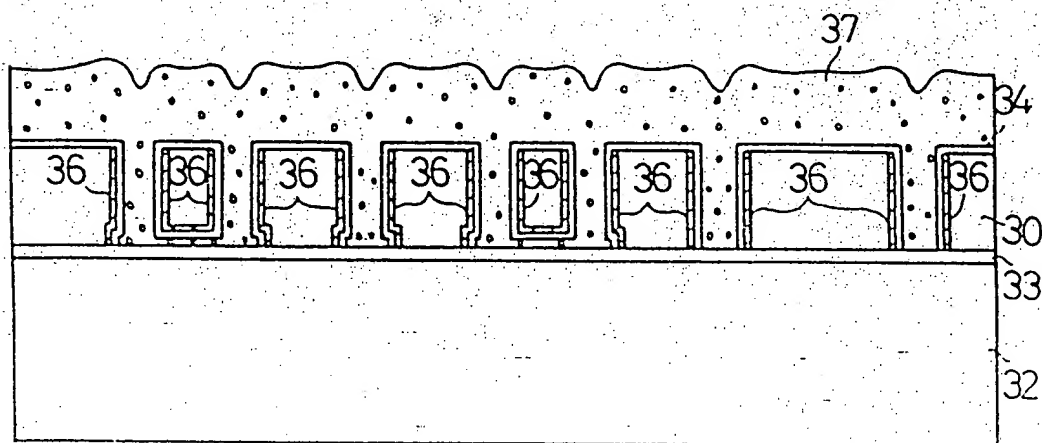


図 26

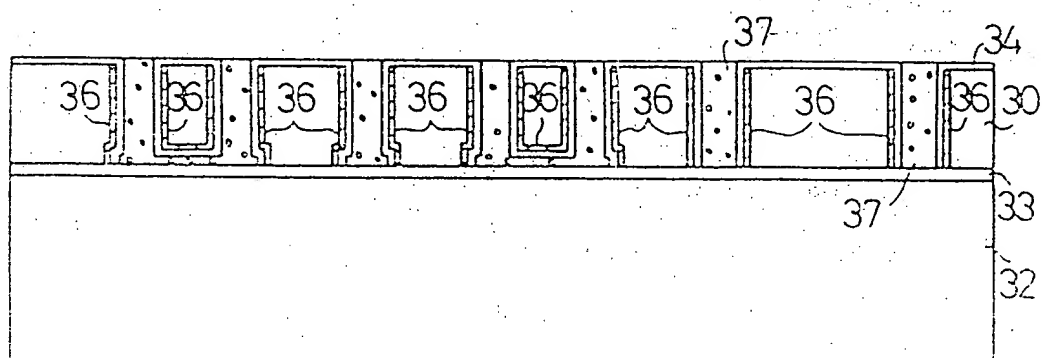


図 27

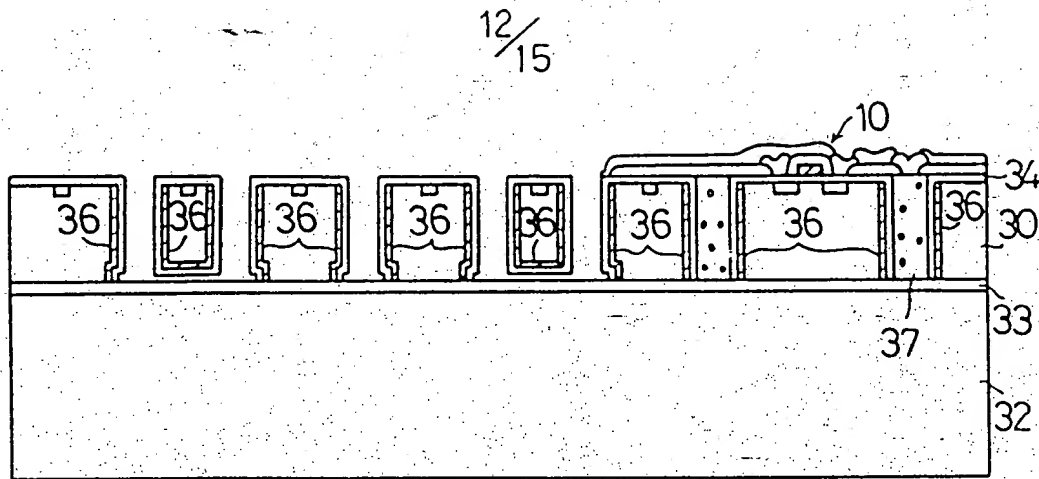


図 28

$\frac{13}{15}$

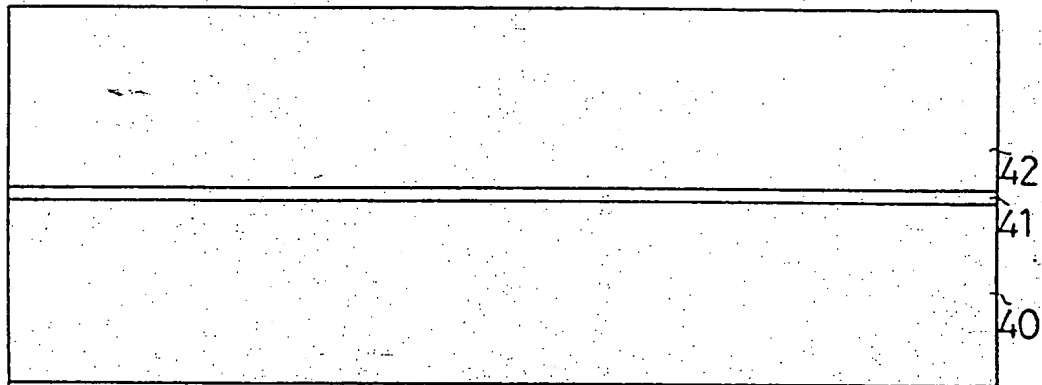


図 29

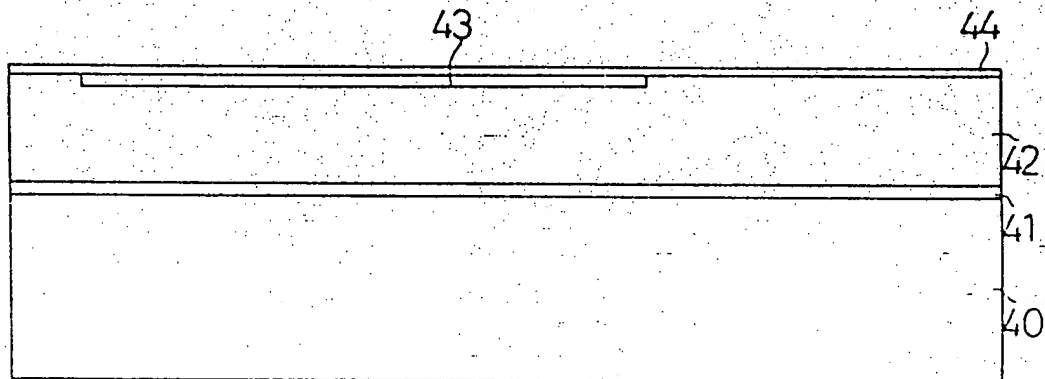


図 30

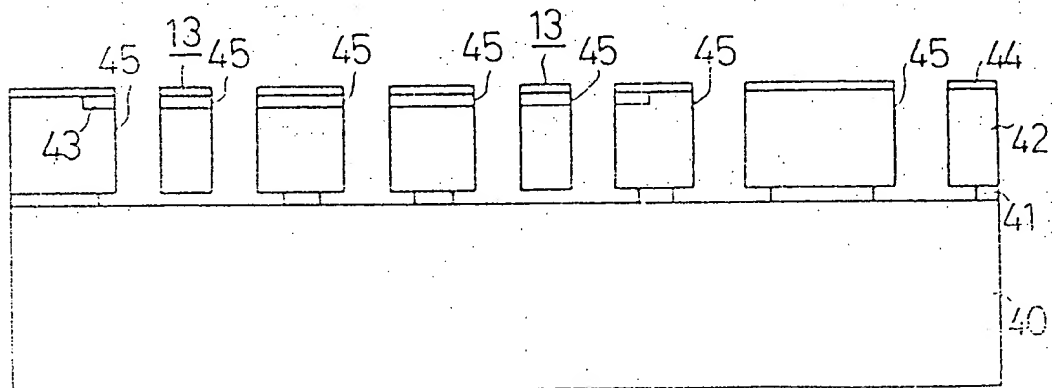


図 31

14/15

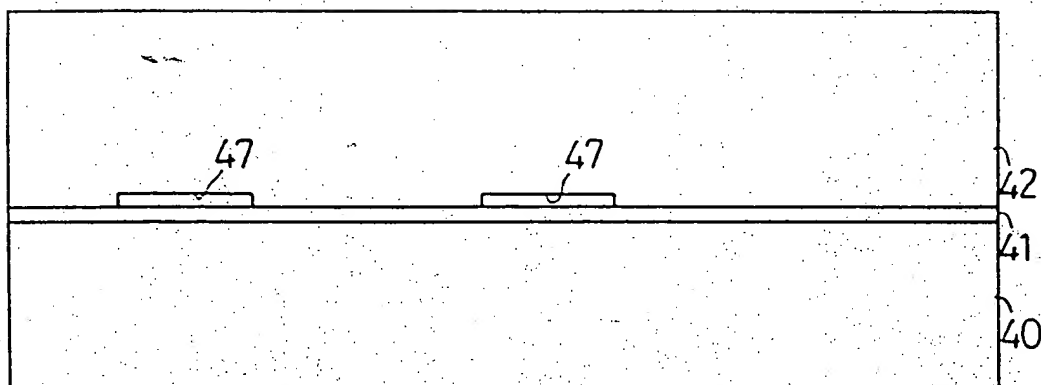


図 32

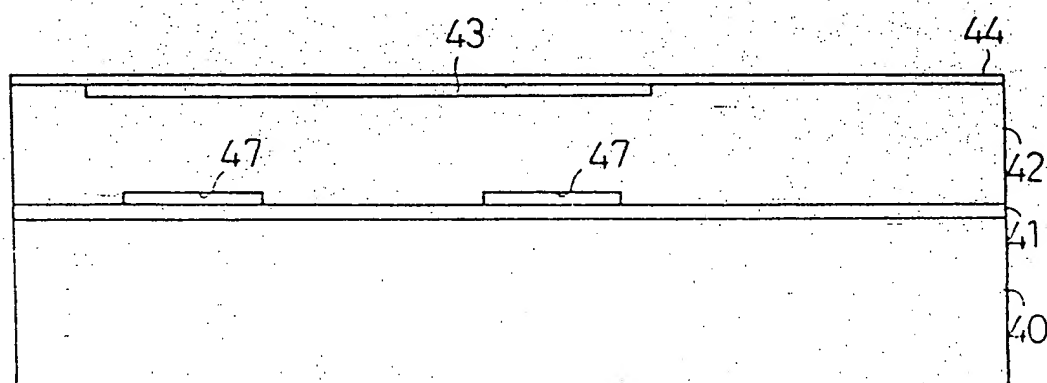


図 33

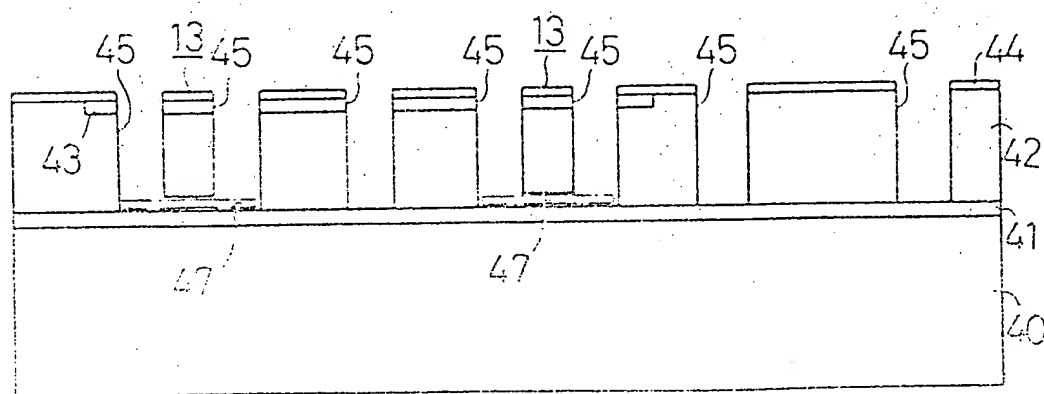
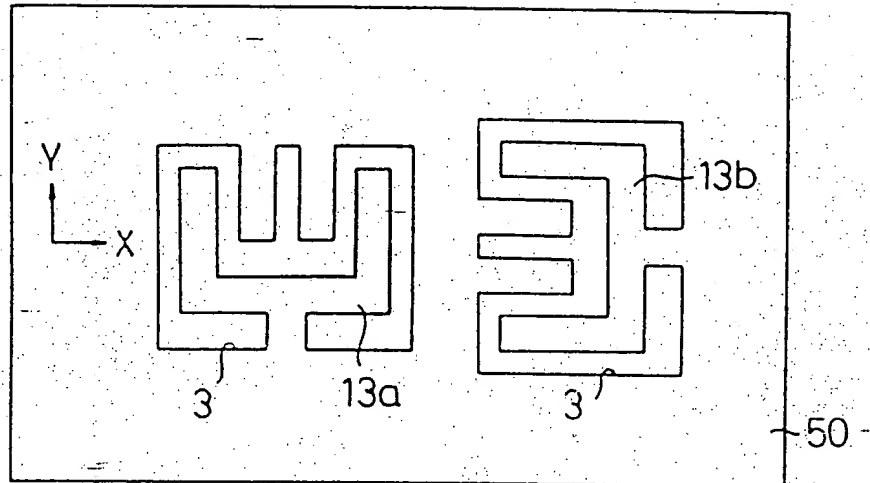


図 34

$\frac{15}{15}$ 

35

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP93/00535

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁵ G01P15/125

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁵ G01P15/125, G01P15/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho

1971 - 1993

Kokai Jitsuyo Shinan Koho

1971 - 1993

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, A, 60-244864 (Becton Dickinson and Co.), December 4, 1985 (04. 12. 85), & US, A, 4,574,327 & US, A, 4,609,968 & DB, B2, 2,158,945 & DE, C2, 3,507,820 & FR, B1, 2,564,593	1-3
A	JP, A, 62-207917 (Fujitsu Ltd.), September 12, 1987 (12. 09. 87), & FR, A1, 2,585,474 & DE, A1, 3,621,585 & DB, A1, 2,178,856	1-3
A	JP, A, 62-27666 (Litton System Inc.), February 5, 1987 (05. 02. 87), & US, A, 4,679,434 & US, A, 4,744,249 & US, A, 4,744,248	4-14
A	JP, A, 61-73071 (International Standard Electric Corp.), April 15, 1986 (15. 04. 86), (Family: none)	4-14

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"Z" document member of the same patent family

Date of the actual completion of the international search

June 14, 1993 (14. 06. 93)

Date of mailing of the international search report

July 6, 1993 (06. 07. 93)

Name and mailing address of the ISA:

Japanese Patent Office

Facsimile No.

Authorized officer:

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁵ G01P15/125

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁵ G01P15/125, G01P15/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1971-1993年

日本国公開実用新案公報 1971-1993年

国際調査で利用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, A, 60-244864 (ベクトン デイツキンソン アンド CO) 4. 12月. 1985 (04. 12. 85) &US, A, 4,574,327 &US, A, 4,609,968 &DB, B2, 2,158,945 &DE, C2, 3,507,820 &FR, B1, 2,564,593	1-3
A	JP, A, 62-207917 (富士通株式会社) 12. 9月. 1987 (12. 09. 87)	1-3

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 先行文献ではあるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日
若しくは他の特別な理由を確立するために引用する文献
(理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日
の後に公表された文献「T」 国際出願日又は優先日後に公表された文献であって出願と
矛盾するものではなく、発明の原理又は理論の理解のため
に引用するもの「X」 特に関連のある文献であって、当該文献のみで発明の新規
性又は進歩性がないと考えられるもの「Y」 特に関連のある文献であって、当該文献と他の1以上の文
献との、当業者にとって自明である組合せによって進歩性
がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

14. 06. 93

国際調査報告の発出日

06.07.93

名称及び受発

日本国特許庁 (ISA/JP)

郵便番号 100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

江 成 克 己

2 F 7 9 0 7

電話番号 03-3561-1101 内線

3216

C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	&FR, A1, 2,585,474&DE, A1, 3,621,585 &DB, A1, 2,178,856	
A	JP, A, 62-27666 (リットン システム INC) 5. 2月. 1987 (05. 02. 87) &US, A, 4,679,434&US, A, 4,744,249 &US, A, 4,744,248	4-14
A	JP, A, 61-73071 (インターナショナル スタンダード エレクトリック CORP) 15. 4月. 1986 (15. 04. 86) (ファミリーなし)	4-14